

Helsinki 29.9.2004

BEST AVAILABLE COPY

ETUOIKEUSTODISTUS
PRIORITY DOCUMENT

REC'D 22 OCT 2004

WIPO

PCT



Hakija
Applicant

Imbera Electronics Oy
Espoo

Patenttihakemus nro
Patent application no

20031341

Tekemispäivä
Filing date

18.09.2003

Kansainvälinen luokka
International class

H05K

Keksinnön nimitys
Title of invention

"Menetelmä elektroniikkamoduulin valmistamiseksi"

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Täten todistetaan, että oheiset asiakirjat ovat tarkkoja jäljennöksiä Patentti- ja rekisterihallitukselle alkuaan annetuista selityksestä, patenttivaatimuksista, tiivistelmästä ja piirustuksista.

This is to certify that the annexed documents are true copies of the description, claims, abstract and drawings originally filed with the Finnish Patent Office.

Marketta Tehikoski
Apulaistarkastaja

Maksu 50 €
Fee 50 EUR

Maksu perustuu kauppa- ja teollisuusministeriön antamaan asetukseen 1027/2001 Patentti- ja rekisterihallituksen maksullisista suoritteista muutoksineen.

The fee is based on the Decree with amendments of the Ministry of Trade and Industry No. 1027/2001 concerning the chargeable services of the National Board of Patents and Registration of Finland.

Osoite: Arkadiankatu 6 A Puhelin: 09 6939 500
P.O.Box 1160 Telephone: + 358 9 6939 500
FIN-00101 Helsinki, FINLAND

Telefax: 09 6939 5328
Telefax: + 358 9 6939 5328

Menetelmä elektroniikkamoduulin valmistamiseksi

Keksinnön kohteena on menetelmä elektroniikkamoduulin valmistamiseksi.

5 Erityisesti keksinnön kohteena on valmistusmenetelmä, jossa yksi tai useampi komponentti upotetaan asennusalustaan. Valmistettava elektroniikkamoduuli voi olla piirilevyn kaltainen moduuli, joka sisältää useita komponentteja, jotka on liitetty sähköisesti toisiinsa elektroniikkamoduuliin valmistettujen johderakenteiden välityksellä. Erityisesti keksinnön kohteena on elektroniikkamoduuli, joka sisältää mikro-
10 piirejä, joihin liittyy useampia kontaktiterminaleja. Mikropiirien lisäksi tai sijasta asennusalustaan voidaan toki upottaa muitakin komponentteja, esimerkiksi passiivikomponentteja. Elektroniikkamoduuliin pyritään siis upottamaan sellaisia komponentteja, joita tyypillisesti liitetään koteloimattomana piirilevylle (piirilevyn pintaan). Toinen merkittävä komponenttiryhmä ovat komponentit, jotka tyypillisesti koteloidaan piirilevylle liittämistä varten. Keksinnön kohteena olevat elektroniikkamoduulit voivat
15 toki sisältää myös toisenlaisia komponentteja.

Asennusalusta voi olla tyypiltään sen kaltainen alusta, joita käytetään yleisesti elektroniikkateollisuudessa sähköisten komponenttien asennusalustana. Alustan tehtävänä on tarjota komponentille mekaaninen kiinnitysalusta sekä tarvittavat sähköiset
20 yhteydet sekä alustalla oleviin muihin komponentteihin että alustan ulkopuolelle. Asennusalusta voi olla piirilevy, jolloin keksinnön kohteena oleva rakenne ja menetelmä liittyvät läheisesti piirilevyjen valmistustekniikkaan. Asennusalustana voi olla myös jokin muu alusta, esimerkiksi komponentin tai komponenttien paketoinnissa käytettävä alusta tai kokonaisen toiminnallisen moduulin alusta.

25 Piirilevyjen valmistustekniikat poikkeavat mikropiirien valmistuksesta mm. siten, että mikropiirien valmistustekniikoissa asennusalustana eli substraattina on puolijohdemateriaali, kun taas piirilevyjen asennusalustan perusmateriaalina on jokin eristemateriaali. Mikropiirien valmistustekniikat ovat myös tyypillisesti huomattavasti kalliimpia kuin piirilevyjen valmistustekniikat.

30 Komponenttien ja erityisesti puolijohdekomponenttien koteloiden ja pakkausten rakenteet ja valmistustekniikat poikkeavat piirilevyjen rakenteesta ja valmistuksesta

siten, että komponenttipakkausten ensisijaisena tarkoituksena on muodostaa komponentin ympärille kotelo, joka suojaa mekaanisesti komponenttia ja helpottaa komponentin käsittelyä. Komponentin kotelon pinnalla on liitäntäosia, tyypillisesti ulokkeita, joiden avulla koteloitu komponentti on helppo asettaa oikein piirilevylle ja muodostaa sille halutut kytkennät. Komponenttikotelon sisällä ovat lisäksi johteet, jotka yhdistävät kotelon ulkopuolelle ulottuvat liitäntäosat itse komponentin pinnalla oleviin liitäntäalueisiin, joiden kautta komponentti voidaan kytkeä halutulla tavalla ympäristöönsä.

Tällaiset perinteisellä tekniikalla valmistettujen komponenttien kotelot vaativat kuitenkin huomattavasti tilaa. Elektroniikkalaitteiden koon pienentyessä on pyritty pääsemään eroon tilaa vievistä, tarpeettomista ja turhia kustannuksia muodostavista komponenttien koteloiden. Tämän ongelman ratkaisemiseksi on pyritty kehittämään erilaisia rakenteita ja menetelmiä, joiden avulla komponentteja voidaan sijoittaa piirilevyrakenteen sisään.

US-patenttijulkaisussa 4 246 595 kuvataan yksi ratkaisu, jossa asennusalustaan muodostetaan syvennyksiä komponentteja varten. Syvennyksien pohjat rajoittuvat kaksikerroksiseen eristekerrokseen, johon tehdään reikiä komponentin kontaktointia varten. Eristekerroksen komponentteja vasten tuleva kerros valmistetaan adhesiivista. Tämän jälkeen komponentit upotetaan syvennyksiin kontaktialueet syvennyksen pohjaa kohti ja komponentteihin muodostetaan sähköiset kontaktit eristekerroksessa olevien reikien kautta. Mikäli rakenteesta halutaan mekaanisesti kestävä, komponentti on lisäksi kiinnitettävä asennusalustaan, joten menetelmä on varsin monimutkainen. Monimutkaisella menetelmällä, joka vaatii useita eri materiaaleja ja prosessivaiheita, on hyvin vaikea valmistaa kannattavasti edullisia tuotteita.

JP-hakemusjulkaisussa 2001-53 447 kuvataan toinen ratkaisu, jossa asennusalustaan valmistetaan komponenttia varten syvennys. Komponentti sijoitetaan syvennykseen siten, että komponentin kontaktialueet tulevat asennusalustan pintaa kohti. Tämän jälkeen asennusalustan pinnalle ja komponentin yli valmistetaan eristekerros. Eristekerrokseen valmistetaan kontaktiaukot komponenttia varten ja komponenttiin muodostetaan sähköiset kontaktit kontaktiaukkojen kautta. Tässä menetelmässä syvennyksen valmistaminen ja komponentin asettamisen syvennykseen vaativat

melkoista tarkkuutta, jotta komponentti saadaan asemoitua asennuslevyn sivu- ja paksuussuunnassa läpivientien onnistumisen kannalta sopivasti:

Kansainvälisessä patenttihakemusjulkaisussa WO 03/065778 on kuvattu menetelmä, jossa alustaan valmistetaan ensin ainakin yksi johdinkuvio sekä läpireiät puolijohdekomponentteja varten. Tämän jälkeen reikiin sijoitetaan puolijohdekomponentit johdinkuvion suhteen kohdistettuina. Puolijohdekomponentit kiinnitetään alustan rakenteeseen ja alustaan valmistetaan yksi tai useampia johdinkuviokerroksia siten, että ainakin yksi johdinkuvio muodostaa sähköisen kontaktin puolijohdekomponentin pinnalla olevien kontaktialueiden kanssa.

Kansainvälisessä patenttihakemusjulkaisussa WO 03/065779 on kuvattu menetelmä, jossa alustaan valmistetaan läpireiät puolijohdekomponentteja varten siten, että reiät ulottuvat alustan ensimmäisen ja toisen pinnan välillä. Reikien valmistamisen jälkeen alustarakenteen toisen pinnan yli levitetään polymeerikalvo siten, että polymeerikalvo peittää myös puolijohdekomponentteja varten valmistetut läpireiät alustarakenteen toisen pinnan puolelta. Ennen polymeerikalvon kovettamista tai osittaisen kovettamisen jälkeen puolijohdekomponentit sijoitetaan alustaan valmistettuihin reikiin alustan ensimmäisen pinnan suunnasta. Puolijohdekomponentit painetaan polymeerikalvoa vasten siten, että ne kiinnittyvät polymeerikalvoon. Tämän jälkeen suoritetaan polymeerikalvon lopullinen kovetus ja valmistetaan lisää johdinkuviokerroksia siten, että ainakin yksi johdinkuvio muodostaa sähköisen kontaktin puolijohdekomponentin pinnalla olevien kontaktialueiden kanssa.

Keksinnön tarkoituksena on luoda yksinkertainen, luotettava ja valmistuskustanuksiltaan edullinen menetelmä komponenttien upottamiseksi asennusalustaan.

Keksintö perustuu siihen, että valmistaminen aloitetaan ainakin toiselta puoleltaan johdekerroksella pinnoitetusta eristelevystä. Tämän jälkeen eristeeseen valmistetaan syvennys, joka avautuu levyn yhdelle pinnalle, mutta ei läpäise levyn vastakkaisella pinnalla olevaa johdekerrosta. Komponentti kiinnitetään syvennykseen ja muodostetaan sähköiset kontaktit johdekerroksen ja komponentin kontaktialueiden tai kontaktinystyjen välille. Komponentin kiinnittämisen jälkeen tästä johdekerroksesta muodostetaan johdekuvioita, jotka tulevat osaksi piirilevyrakennetta tai muuta elektroniikkamoduulia.

Täsmällisemmin sanottuna keksinnön mukaiselle menetelmälle on tunnusomaista se, mikä on esitetty patenttivaatimuksessa 1.

5 Keksinnön avulla saavutetaan huomattavia etuja. Keksinnön avulla on nimittäin mahdollista suunnitella yksinkertainen, luotettava ja valmistuskustannuksiltaan edullinen menetelmä, jolla voidaan valmistaa haudattuja komponentteja sisältäviä elektroniikkamoduuleja. Lähtömateriaalina käytettävä johdepinnoitettu eristelevy on yksi piirilevyteollisuuden perusraaka-aineista ja tällaisia levyjä onkin saatavana edullisesti ja luotettavasti. Menetelmässä raaka-aineen käyttö on hyvin tehokasta, sillä eristelevyn johdepinnoitetta käytetään hyväksi elektroniikkamoduulin johdekuvioiden valmistamisessa. Jopa eristelevyn sisään upotettavat piirit on mahdollista kytkeä sähköisesti tähän johdepinnoitekerrokseen.

15 Keksinnöllä on sovellusmuotoja, joiden mukaan valmistusprosessissa tarvitaan suhteellisen vähän prosessivaiheita. Sovellusmuodoissa, joissa prosessivaiheita on vähemmän, tarvitaan vastaavasti myös vähemmän prosessilaitteita ja erilaisia valmistusmenetelmiä. Tällaisten sovellusmuotojen avulla voidaan monessa tapauksessa myös alentaa valmistuskustannuksia monimutkaisempiin prosesseihin verrattuna.

20 Elektroniikkamoduulin johdekuviokerrosten lukumäärä on myös mahdollista valita sovellusmuodon mukaan. Johdekuviokerroksia voi olla esimerkiksi yksi tai kaksi. Näiden päälle on lisäksi mahdollista valmistaa lisää johdekuviokerroksia piirilevyteollisuudessa tunnettuun tapaan. Kokonaisuudessaan moduulissa voi siis olla esimerkiksi kolme, neljä tai viisi johdekuviokerrosta. Aivan yksinkertaisimmissa sovellusmuodoissa johdekuviokerroksia ja ylipäättään johdekerroksia on ainoastaan yksi. Joissakin sovellusmuodoissa jokaista näistä elektroniikkamoduulin sisältämistä johdekerroksista voidaan käyttää hyväksi johdekuvioiden muodostamisessa.

25 Keksinnöllä on myös sovellusmuotoja, joissa johdekuvioita voidaan valmistaa myös komponenttien kohdalle. Tämä parantaa rakenteen johdotuskyvykkyyttä, joka puolestaan mahdollistaa komponenttien asentamisen tiheämpään. Johdotuskyvykkyyttä voidaan parantaa myös asentamalla osa komponenteista ”ylösalaisin”, jolloin levyn molempia pintoja kohti suuntautuu komponenttien aktiivipintoja. Keksintöä
30 tarkastellaan seuraavassa esimerkkien avulla ja oheisiin piirustuksiin viitaten.

Kuviot 1-17 esittävät poikkileikkauskuvasarjana valmistusmenetelmää keksinnön yhdessä sovellusmuodossa.

Kuviot 18-27 esittävät poikkileikkauskuvasarjana toisten sovellusmuotojen mukaisia valmistusmenetelmiä.

- 5 Kuviot 28 ja 29 esittävät kahta elektroniikkamoduulin valmistuksen välivaihetta kolmansien sovellusmuotojen mukaisissa valmistusmenetelmissä.

Kuviot 30 ja 31 esittävät kahta elektroniikkamoduulin valmistuksen välivaihetta neljänsien sovellusmuotojen mukaisissa valmistusmenetelmissä.

- 10 Esimerkkien menetelmissä valmistus aloitetaan valmistamalla eristeaineinen asennusalusta, jonka ainakin yhdellä pinnalla on johdekerros. Tyypillisesti asennusalustaksi valitaan kaupallisesti saatavilla oleva, molemmilta pinnoiltaan 1a, 1b johdekerroksella 4 päällystetty eristemateriaalilevy 1. Eristemateriaali 1 voi olla esimerkiksi lasikuituvahvistettua epoksia (esim. FR4). Johdemateriaali 4 on puolestaan tavallisimmin kuparia.

- 15 Asennusalusta valitaan tyypillisesti siten, että eristemateriaalikerroksen 1 paksuus on suurempi kuin alustalle myöhemmin liitettävien komponenttien 6 paksuus, vaikkakaan tämä ei ole välttämätöntä. Eristemateriaalikerrokseen 1 valmistetaan sopivalla menetelmällä syvennykset 2, joiden koko valitaan asennettavien komponenttien 6 koon mukaan. Syvennykset 2 valmistetaan siten, että eristemateriaalikerroksen 1 pinnalla
20 oleva johdekerros 4 sulkee syvennyksen jommankumman pään. Tähän päästään esimerkiksi siten, että syvennyksen 2 kohdalta poistetaan asennusalustan ensimmäisellä pinnalla oleva johdemateriaali 4. Johdemateriaalin 4 poistamisen yhteydessä johdekuviokerrokseen 4 voidaan muodostaa myös muita kuvioita, esimerkiksi tulevan piirin johdekuvioita. Tämän jälkeen jatketaan syvennyksen 2 tekemistä sopivalla
25 selektiivisellä menetelmällä, joka on tehokas eristemateriaalissa 1 mutta ei johdekerroksessa 4. Näin valmistettava syvennys 2 tulee ulottumaan koko eristemateriaalikerroksen läpi 1 mutta syvennyksen 2 toisessa päässä oleva johdekerros 4 säästyy vaurioitumattomana. Syvennyksiä 2 voidaan valmistaa vastaavalla tavalla asennusalustan molempien pintojen suunnasta.

Komponenttien 6 kohdistukseen tarvitaan myös sopivat kohdistusmerkit, joiden aikaansaamiseen on käytettävissä useita erilaisia menetelmiä. Yksi mahdollinen menetelmä on pienten läpireikien valmistaminen komponenttien 6 asennusreikien 2 läheisyyteen.

- 5 Komponentit 6 kohdistetaan asennusreikiinsä 2 kohdistusreikien tai muiden kohdistusmerkkien avulla ja komponentit liitetään johdekerrokseen 4. Komponentit 6 voidaan liittää johdekerrokseen 4 sellaisella menetelmällä, joka mahdollistaa sähköisen kontaktin muodostamisen johdekerroksen 4 ja komponentin kontaktialueiden välille liittämisen yhteydessä. Tällaisia menetelmiä ovat esimerkiksi ultraääniliitosmenetelmä, termokompressiomenetelmä ja liimaaminen sähköjohtavalla liimalla. Vaihtoehtoisesti voidaan käyttää menetelmää, jossa ei muodosteta sähköistä kontaktia johdekerroksen 4 ja komponentin kontaktialueiden välille. Tällainen menetelmä on esimerkiksi liimaaminen eristävällä liimalla. Seuraavassa kuvataan tarkemmin prosessin kulkua yllä mainittujen liitosmenetelmien yhteydessä.
- 10
- 15 Ultraäänimenetelmällä tarkoitetaan menetelmää, jossa kaksi metallia sisältävää kappaletta painetaan toisiaan vasten ja liitosalueelle tuodaan värähtelyenergiaa ultraäänitaajuudella. Ultraäänin ja liitettävien pintojen välille muodostettavan paineen vaikutuksesta liitettävät kappaleet yhdistyvät metallurgisesti toisiinsa. Menetelmiä ja laitteita ultraääniliitosten (ultrasonic bonding) tekemiseen on kaupallisesti saatavilla.
- 20 Ultraääniliittämisellä on se etu, että liitoksen muodostaminen ei vaadi korkeaa lämpötilaa.
- Termokompressiomenetelmällä tarkoitetaan menetelmää, jossa kaksi metallia sisältävää kappaletta painetaan toisiaan vasten ja liitosalueelle tuodaan lämpöenergiaa. Lämpöenergian ja liitettävien pintojen välille muodostettavan paineen vaikutuksesta liitettävät kappaleet yhdistyvät metallurgisesti toisiinsa. Myös termokompressioliitosten (thermo-compression bonding) tekemiseen on kaupallisesti saatavilla menetelmiä ja laitteita.
- 25
- 30 Liimalla tarkoitetaan materiaalia, jolla komponentit voidaan kiinnittää johdekerrokseen. Liiman yksi ominaisuus on se, että liima voidaan levittää johdekerroksen ja/tai komponentin pinnalle suhteellisen juoksevassa tai muutoin pinnanmuotoihin mukautuvassa muodossa. Liiman toinen ominaisuus on se, että levittämisen jälkeen liima

kovettuu tai voidaan kovettaa ainakin osittain siten, että liima kykenee pitämään komponentin paikoillaan (johdekerroksen suhteen) ainakin niin kauan kunnes komponentti kiinnitetään rakenteeseen jollakin muulla tavalla. Liiman kolmas ominaisuus on adheesiokyky eli kyky tarttua liimattavaa pintaan.

- 5 Liimaamisella tarkoitetaan komponentin ja johdekerroksen kiinnittämistä toisiinsa liiman avulla. Liimattaessa siis liimaa tuodaan komponentin ja johdekerroksen väliin ja asetetaan komponentti johdekerroksen suhteen sopivaan asemaan, jossa liima on kosketuksessa komponentin ja johdekerroksen kanssa ja ainakin osittain täyttää komponentin ja johdekerroksen välisen tilan. Tämän jälkeen liiman annetaan (ainakin
- 10 osittain) kovettua tai liima aktiivisesti kovetetaan (ainakin osittain) siten, että komponentti kiinnittyy liiman avulla johdekerrokseen. Joissakin sovellusmuodoissa komponentin kontaktiulokkeet saattavat liimauksen aikana työntyä liimakerroksen läpi kosketukseen johdekerroksen kanssa.

- Komponentit 6 on siis mahdollista kiinnittää johdekerroksen 4 pinnalle sähköäjohtavan
- 15 liiman avulla. Tarkoitukseen soveltuvia sähköäjohtavia liimoja on yleisesti saatavilla kahta perustyyppiä: isotrooppisesti johtavia liimoja ja anisotrooppisesti johtavia liimoja. Isotrooppisesti johtava liima johtaa joka suuntaan kun taas anisotrooppisesti johtavalla liimalla on johtavuussuunta ja tätä vastaan kohtisuora suunta, jossa liiman johtavuus on hyvin pieni. Anisotrooppisesti johtava liima voidaan muodostaa esimerkiksi eristävästä
- 20 liimasta, johon on sekoitettu sopivia johdepartikkeleita. Mikäli käytetään anisotrooppisesti johtavaa liimaa, liimaa voidaan annostella koko komponentin liimattavalla pinnalle. Käytettäessä isotrooppisesti johtavaa liimaa, annostelu on syytä suorittaa alueellisesti siten, että ei synny oikosulkua kontaktialueiden välille.

- Komponenttien liittämisen jälkeen asennussyvennykseen 2 jäävä tyhjä tila tyypillisesti
- 25 täytetään täyteaineella 8. Tämän jälkeen johdekerros 4 voidaan kuvioida, jolloin muodostuu johdekuvioita 14, joista ainakin osa liittyy joihinkin komponenttien 6 kontaktialueista. Tämän jälkeen prosessia voidaan jatkaa valmistamalla lisää johdekuviokerroksia ja valmistamalla tarvittavat läpiviennit.

- Ultraäänimenetelmää ja termokompressiomenetelmää hyödyntäviä valmistusprosesseja
- 30 on kuvattu tarkemmin saman hakijan suomalaisessa patenttihakemuksessa FI20030292, joka on tehty 26.2.2003 ja joka on vielä salainen tämän hakemuksen tekemishetkellä.

Johtavia liimoja hyödyntäviä valmistusprosesseja on puolestaan kuvattu tarkemmin saman hakijan suomalaisessa patenttihakemuksessa FI20031201, joka on tehty 26.8.2003 ja joka on vielä salainen tämän hakemuksen tekemishetkellä.

5 Sähköisen kontaktin muodostavien liitosmenetelmien sijasta voidaan siis käyttää myös sellaisia menetelmiä, joilla ei muodosteta sähköistä kontaktia. Tällainen liitos voidaan tehdä esimerkiksi liimaamalla komponentti 6 johdekerroksen 4 pinnalle eristävän liiman avulla. Liimaamisen jälkeen asennussyvennys 2 voidaan täyttää täyteaineella 8 ja valmistaa läpiviennit, joiden kautta voidaan muodostaa sähköiset kontaktit komponenttien 6 kontaktialueiden ja johdekerroksen 4 välille. Läpivientejä varten 10 johdekerrokseen 4 tehdään reiät 17 komponenttien 6 kontaktialueiden kohdalle. Reiät 17 valmistetaan siten, että ne puhkaisevat myös kontaktialueiden tai kontaktiulokkeiden päälle jääneen liimakerroksen. Reiät 17 ulottuvat siis komponentin 6 kontaktiulokkeiden tai muiden kontaktialueiden materiaaliin saakka. Reiät 17 voidaan valmistaa esimerkiksi laserlaitteella poraamalla tai jollakin muulla soveltuvalla menetelmällä. 15 Tämän jälkeen reikiin 17 tuodaan johdemateriaalia siten, että muodostuu sähköinen kontakti komponenttien 6 ja johdekerroksen 4 välille.

Tämän jälkeen johdekerros 4 voidaan kuvioda, jolloin muodostuu johdekuvioita 14, joista ainakin osa liittyy joihinkin komponenttien 6 kontaktialueista. Tämän jälkeen prosessia voidaan jatkaa valmistamalla lisää johdekuviokerroksia ja valmistamalla 20 tarvittavat läpiviennit.

Eristävää liimaa hyödyntäviä valmistusprosesseja on kuvattu tarkemmin saman hakijan suomalaisessa patenttihakemuksessa FI20030493, joka on tehty 1.4.2003 ja joka on vielä salainen tämän hakemuksen tekemishetkellä.

Esimerkkien mukaiset valmistusprosessit on mahdollista toteuttaa valmistus- 25 menetelmillä, jotka ovat yleisesti tunnettuja piirilevyjen valmistuksen ammattimiehille.

Seuraavassa tarkastellaan lähemmin kuvioiden 1-17 esittämiä menetelmävaiheita.

Vaihe A (kuvio 1):

Vaiheessa A valitaan elektroniikkamoduulin valmistusprosessia varten sopiva eristemateriaalilevy 1, josta muodostetaan asennusalustan runko. Yhtä 30 eristemateriaalikerrosta käyttävissä sovellusmuodoissa eristemateriaalikerroksen 1

paksuuden on oltava mielellään suurempi kuin asennettavan komponentin paksuus. Tällöin komponentit on mahdollista upottaa kokonaan asennusalustan sisään ja elektroniikkamoduulista tulee molemmilta pinnoiltaan tasainen. Asennusalustaan voidaan toki upottaa myös paksumpia erikoiskomponentteja, joiden takapinta ulottuu
 5 eristemateriaalikerroksen 1 ulkopuolelle. Näin edullista menetellä erityisesti sellaisissa sovellusmuodoissa, joissa käytetään useampia eristemateriaalikerroksia, jotka liitetään yhteen prosessin aikana. Tällöin komponentit voidaan upottaa kokonaan rakenteeseen, mikäli eristemateriaalikerrosten yhteispaksuus ylittää komponentin paksuuden. Rakenteen kestävyys on nimittäin edullista, että valmiissa elektroniikka-
 10 moduulissa komponentit sijoittuvat kokonaan asennusalustan sisään.

Eristemateriaalikerros 1 voi olla esimerkiksi polymeerialusta, kuten lasikuituvahvistettu epoksilevy FR4. Muita esimerkkejä soveltuvista eristemateriaalikerroksen 1 materiaaleista ovat PI (polyimidi), FR5, aramidi, polytetrafluorieteeni, Teflon®, LCP (liquid crystal polymer) ja esikövetettu sidoskerros eli prepregi.

15 Prepregillä tarkoitetaan erästä piirilevyteollisuuden perusmateriaalia, joka on yleensä B-vaiheen hartsilla kyllästetty lasikuituvahvistainen eristematto. Tyypillisesti esikove-
 tettua sidoskerrosta käytetään sitovana eristeaineena valmistettaessa monikerrospiiri-
 levyjä. Sen B-vaiheinen hartsi ristisilloitetaan hallitusti lämpötilan ja paineen avulla
 20 esimerkiksi prässäämällä tai laminoimalla, jolloin hartsi kovettuu ja muuttuu C-
 vaiheiseksi. Hallitussa kovetusprosessissa lämpötilan nousun aikana hartsi pehmenee ja sen viskositeetti laskee. Paineen pakottamana juokseva hartsi täyttää rajapintojensa kolot ja
 aukot. Käytettäessä esikövetettua sidoskerrosta eristemateriaalina tätä ominaisuutta
 25 hyödynnetään komponenttien ympärille jäävän tyhjän tilan täytössä. Tällä tavoin
 voidaan edelleen yksinkertaistaa esimerkeissä kuvattuja elektroniikkamoduulin
 valmistusmenetelmiä, sillä komponenttien asennussyvennyksiä ei tarvitse täyttää
 erillisellä täyteaineella.

Eristemateriaalikerros 1 pinnoitetaan molemmilta puolilta 1a, 1b johdekerroksella 4, esimerkiksi metallikerroksella. Elektroniikkamoduulin valmistaja voi myös valita lähtömateriaaliksi valmiiksi pinnoitetun eristelevyn.

30 **Vaihe B (kuvio 2):**

- Vaiheessa B johdekerroksista 4 muodostetaan johdekuvioita 14 jollakin sopivalla menetelmällä. Johdemateriaalin poistaminen voidaan suorittaa esimerkiksi laserilla höyrystämällä tai jollakin selektiivisellä syövytysmenetelmällä, jotka ovat piirilevyteollisuudessa laajalti käytettyjä ja hyvin tunnettuja. Johdekuvio 14 valmistetaan siten, että eristemateriaalikerroksen 1 pinta paljastuu komponenteille 6 tehtävien asennussyvennysten 2 kohdalta pinnan 1a tai pinnan 1b puolelta. Vastaavasti eristemateriaalikerroksen 1 vastakkaisella pinnalla 1b tai 1a oleva johdemateriaalikerros 14 jätetään ehjäksi.

Vaihe C (kuvio 3):

- Vaiheessa C eristemateriaalikerrokseen 1 valmistetaan sopivan kokoisia ja muotoisia syvennyksiä 2 levyyn upotettavia komponentteja varten. Syvennykset 2 voidaan valmistaa tarkoituksen mukaisesti esimerkiksi jollakin tunnetulla piirilevyvalmistuksessa käytetyllä menetelmällä. Syvennykset 2 voidaan valmistaa esimerkiksi CO₂-ablaatiomenetelmällä. Syvennykset 2 valmistetaan toisen pinnan 1b suunnasta ja ne ulottuvat koko eristemateriaalikerroksen 1 läpi aina kerroksen vastakkaisella pinnalla olevan johdemateriaalikerroksen 14 pintaan 1a saakka.

Vaihe D (kuvio 4):

Vaiheessa D elektroniikkamoduulin aihio käännetään toisin päin.

Vaihe E (kuvio 5):

- Vaiheessa E eristemateriaalikerrokseen 1 valmistetaan ensimmäisen pinnan 1a suunnasta lisää asennussyvennyksiä 2 komponentteja varten. Muutoin syvennykset 2 voidaan valmistaa vaiheen C tapaan.

Vaihe F (kuvio 6):

- Vaiheessa F asennussyvennysten 2 pohjalle, johdekerroksen 14 päälle levitetään liimakerros 5. Liimakerroksen 5 paksuus valitaan siten, että liima täyttää hyvin komponentin 6 ja johdekerroksen 14 välisen tilan, kun komponentti 6 myöhemmin painetaan kiinni liimakerrokseen 5. Mikäli komponentti 6 käsittää kontaktiulokkeita, liimakerroksen 5 paksuuden olisi hyvä olla kontaktiulokkeiden korkeutta suurempi, esimerkiksi noin 1,5-10 -kertainen, jotta komponentin 6 ja johdekerroksen 4 välinen tila

täyttyy hyvin. Komponenttia 6 varten muodostettavan liimakerroksen 5 pinta-ala voi myös olla hieman komponentin 6 vastaavaan pinta-alaa suurempi, mikä omalta osaltaan vähentää huonon täyttymisen riskiä.

5 Vaihetta F voidaan modifioida siten, että liimakerros 5 levitetään johdekerroksen 14 liitääntäalueiden sijasta komponenttien 6 liitääntäpinnoille. Tämä voidaan suorittaa esimerkiksi siten, että komponentti kastetaan liimassa ennen sen latomista paikalleen elektroniikkamoduuliin. On myös mahdollista menetellä siten, että liimaa levitetään sekä johdekerroksen 14 liitääntäalueille että komponenttien 6 liitääntäpinnoille.

10 Tässä esimerkissä käytettävä liima on siis sähköneriste, joten liimakerros 5 itsessään ei synnytä sähköistä kontaktia komponentin 6 kontaktialueiden välille.

Vaihe G (kuvio 7):

Vaiheessa G ensimmäisen pinnan 1a suunnasta asetettavat komponentit 6 asetetaan paikoilleen elektroniikkamoduuliin. Tämä voidaan suorittaa esimerkiksi siten, että ladontakoneen avulla komponentit 6 painetaan liimakerrokseen 5.

15 Vaihe H (kuvio 8):

Vaiheessa G elektroniikkamoduulin aihio käännetään toisin päin (vrt. vaihe D).

Vaihe I (kuvio 8):

20 Vaiheessa I toiselle pinnalle 1b avautuvien asennussyvennyksen 2 pohjalle levitetään liimakerros 5. Vaihe I suoritetaan vaihetta F vastaavasti mutta elektroniikkamoduulin vastakkaisen pinnan suunnasta.

Elektroniikkamoduulin vastakkaisille puolille tehtävät työvaiheet (esim. vaiheet F ja I) on periaatteessa mahdollista suorittaa myös samanaikaisesti tai perätyksen aihiota kääntämättä, mikäli käytössä oleva valmistuslaitteisto mahdollistaa työvaiheiden tekemisen kahdesta suunnasta.

25 Vaihe J (kuvio 9):

Vaiheessa I toisen pinnan 1b suunnasta asetettavat komponentit 6 asetetaan paikoilleen elektroniikkamoduuliin vaihetta G vastaavasti.

Vaihe K (kuvio 10):

Vaiheessa K komponenttien 6 ja asennusalustan väliin jäävä tila täytetään kauttaaltaan täyteaineella 8, joka on esimerkiksi jotakin sopivaa polymeeriä. Mikäli eristemateriaalilevy 1 on esikövetettua sidoskerrosta (prepregi), voidaan tämä vaihe ohittaa.

Vaihe L (kuvio 11):

Vaiheessa L valmistetaan komponenttien 6 sähköisiä kontakteja varten reikiä 17. Reiät 17 valmistetaan johdekerroksen 14 ja liimakerroksen 5 läpi siten, että komponentin 6 kontaktiulokkeiden tai vastaavien kontaktialueiden materiaali paljastuu. Reiät 17 voidaan valmistaa esimerkiksi laserin avulla poraamalla. Reikiä 17 valmistetaan tarpeellinen määrä komponenttien 6 kontaktialueiden kohdalle. Mikäli prosessissa on tarkoitus muodostaa komponenttiin 6 suoria kontakteja johdekerroksen 14 lisäksi myös jostakin muusta johdekerroksesta, reikää 17 ei välttämättä ole tarpeen valmistaa tällaiseen kontaktiin osallistuvan kontaktialueen kohdalle. Tyypillisesti komponentin 6 kontaktialueiden ja esimerkiksi johdekerroksen 24 välisen luotettavan kontaktin muodostamiseksi reikä 28 valmistetaan kahdessa osassa; ensin valmistetaan reikä 17 komponentin 6 kontaktialueiden ja johdekerroksen 14 välille ja suoraan tämän päälle reikä 27.

Vaihe M (kuvio 12):

Vaiheessa M moduuliin valmistetaan reikiä 11 läpivientejä varten. Reiät 11 voidaan valmistaa esimerkiksi mekaanisesti poraamalla.

Vaihe N (kuvio 13):

Vaiheessa N kasvatetaan johdemateriaalia 15 vaiheessa L valmistettuihin reikiin 17 sekä vaiheessa M valmistettuihin läpireikiin 11. Esimerkkiprosessissa johdemateriaalia 15 kasvatetaan samalla myös muualle alustan päälle, joten myös johdekerrosten 14 paksuus kasvaa.

Kasvatettava johdemateriaali 15 voi olla esimerkiksi kuparia tai jotain muuta riittävästi sähköä johtavaa materiaalia. Johdemateriaalin 15 valinnassa otetaan huomioon materiaalin kyky muodostaa sähköinen kontakti komponentin 6 kontaktiulokkeiden 7

tai muiden kontaktialueiden materiaalin kanssa. Yhdessä esimerkkiprosessissa johdemateriaali 15 on pääasiassa kuparia. Kuparimetallointi voidaan tehdä pinnoittamalla reiät 11 ja 17 ohuella kerroksella kemiallista kuparia ja tämän jälkeen pinnoitusta voidaan jatkaa sähkökemiallisella kuparinkasvatusmenetelmällä. Kemiallista kuparia
 5 käytetään esimerkissä siksi, koska se pinnoittuu myös liiman päälle ja toimii sähkönjohtajana sähkökemiallisessa pinnoituksessa. Metallin kasvatus voidaan siis suorittaa märkäkemiallisella menetelmällä, joten kasvattaminen on halpaa.

Vaiheen N tarkoituksena on muodostaa sähköinen kontakti komponentin 6 ja johdekerroksen 14 välille. Vaiheessa N ei siis ole välttämätöntä kasvattaa
 10 johdekerroksen 14 paksuutta, vaan prosessi voidaan aivan hyvin suunnitella siten, että vaiheessa I ainoastaan täytetään reiät 17 ja 11 sopivalla materiaalilla. Johdekerros 15 voidaan valmistaa esim. täyttämällä reiät 17 ja 11 sähköä johtavalla pastalla tai käyttää jotakin muuta soveltuvaa mikroläpivientien metallointimenetelmää.

Myöhemmissä kuvioissa johdekerros 15 esitetään johdekerrokseen 14 sulautuneena.

15 **Vaihe O (kuvio 14):**

Vaiheessa O johdekerrokset 14 kuviodaan siten, että levyn 1 molemmille pinnoille muodostuu johdekuviot 14. Kuviointi voidaan tehdä esimerkiksi vaiheessa B kuvattuun tapaan.

Vaiheen O jälkeen elektroniikkamoduuli sisältää komponentin 6 tai useita
 20 komponentteja 6 sekä johdekuviot 14, joiden avulla komponentti 6 tai komponentit voidaan yhdistää ulkoiseen piiriin tai toisiinsa. Tällöin on olemassa edellytykset toiminnallisen kokonaisuuden valmistamiselle. Prosessi voidaan siis suunnitella siten, että elektroniikkamoduuli on valmis vaiheen O jälkeen ja kuvio 14 esittääkin esimerkin yhdestä mahdollisesta elektroniikkamoduulista. Haluttaessa prosessia voidaan myös
 25 jatkaa vaiheen O jälkeen esimerkiksi päällystämällä elektroniikkamoduuli suoja-aineella tai valmistamalla lisää johdekuviokerroksia elektroniikkamoduulin ensimmäiselle ja/tai toiselle pinnalle.

Vaihe P (kuvio 15):

Vaiheessa P levyn 1 molemmille pinnoille valmistetaan eristemateriaalikerros 21 sekä
 30 eristemateriaalikerroksen 21 pinnalle johdekerros 24. Vaihe P voidaan suorittaa

- esimerkiksi prässäämällä levyn 1 molemmille pinnoille sopivat RCF-kalvot. RCF-kalvo sisältää tällöin sekä eristemateriaalikerroksen 21 että johdekerroksen 24. Kun RCF-kalvot prässäetään lämmön ja paineen avulla levyyn 1, että kerrosten 21 polymeeri muodostaa yhtenäisen ja tiiviin eristemateriaalikerroksen johdekerrosten 14 ja 24 väliin.
- 5 Tällä menettelyllä myös johdekerroksesta 24 tulee varsin tasainen ja tasomainen.

Vaihe Q (kuvio 16):

- Vaiheessa Q valmistetaan reikiä 27 läpivientien muodostamiseksi johdekerrosten 14 ja 24 välille. Reiät voidaan valmistaa esimerkiksi vaiheen L tapaan laserilla. Joissakin sovellusmuodoissa voidaan valmistaa myös reikiä 28, joiden avulla voidaan muodostaa
- 10 suora läpivienti johdekerroksen 24 ja komponentin 6 kontaktinystyn tai kontaktialueen kanssa.

Vaihe R (kuvio 17):

- Vaiheessa R kasvatetaan johdemateriaalia 15 reikiin 27 (ja reikiin 28) ja samalla voidaan paksuntaa myös johdekerrosta 24. Vaihe R voidaan suorittaa vaihetta N
- 15 vastaavasti.

- Vaiheen R jälkeen prosessia voidaan jatkaa kuvioimalla johdekerrokset 24 ja mahdollisesti valmistamalla lisää johdekerroksia jommallekummalle tai molemmille pinnoille. Elektroniikkamoduulin pinnalla olevaan johdekuviokerrokseen voidaan myös yhdistää erilliskomponentteja tavanomaisen piirilevytekniikan tapaan.
- 20 Seuraavassa käsitellään kuvioiden 18-27 avulla joitakin mahdollisia valmistusprosessin modifikaatioita.

Vaihe A2 (kuvio 18):

- Vaiheessa A2 valitaan vaiheen A tapaan elektroniikkamoduulin valmistusprosessia varten sopiva eristemateriaalilevy 1, josta muodostetaan asennusalueen runko.
- 25 Esimerkkiprosessissa eristemateriaalikerros 1 on pinnoitettu ensimmäiseltä pinnaltaan 1a johdekerroksella 4, esimerkiksi metallikerroksella.

Vaihe B2 (kuvio 19):

Vaiheessa B2 eristemateriaalikerrokseen 1 valmistetaan vaiheen C tapaan sopivan kokoisia ja muotoisia syvennyksiä 2 levyyn upotettavia komponentteja varten. Syvennykset 2 valmistetaan toisen pinnan 1b suunnasta ja ne ulottuvat koko eristemateriaalikerroksen 1 läpi aina kerroksen vastakkaisella pinnalla olevan johdemateriaalikerroksen 4 pintaan saakka.

Vaihe C2 (kuvio 20):

Vaiheessa C2 toisen pinnan 1b suunnasta asetettavat komponentit 6 asetetaan paikoilleen syvennyksiin 2 ja liitetään johdekerrokseen 4. Tällöin muodostetaan myös sähköiset kontaktit komponenttien kontaktinystyjen tai kontaktialueiden ja johdekerroksen 4 välille. Komponenttien 6 liittäminen voidaan tehdä esimerkiksi liimaamalla isotrooppisesti tai anisotrooppisesti sähköjohtavan liiman avulla. Liittäminen on mahdollista tehdä myös jollakin muulla soveltuvalla menetelmällä, esimerkiksi ultraääni- tai termokompressiomenetelmällä.

Vaihe D2 (kuvio 20):

Vaiheessa D2 komponenttien 6 ja asennusalueen väliin jäävä tila täytetään kauttaaltaan täyteaineella 8, joka on esimerkiksi jotakin sopivaa polymeeriä.

Vaihe E2 (kuvio 21):

Vaiheessa E2 johdekerroksesta 4 muodostetaan johdekuvia 14 jollakin sopivalla menetelmällä. Johdemateriaalin poistaminen voidaan suorittaa esimerkiksi laserilla höyrystämällä tai jollakin selektiivisellä syövytysmenetelmällä, jotka ovat piirilevyteollisuudessa laajalti käytettyjä ja hyvin tunnettuja.

Vaihe F2 (kuvio 22):

Vaiheessa F2 levyn 1 toiselle pinnalle 1b valmistetaan johdekerros 9. Vaihe F2 voidaan suorittaa esimerkiksi laminoimalla toiselle pinnalle 1b RCF-kalvo.

Vaihe G2 (kuvio 23):

Vaiheessa G2 eristemateriaalikerrokseen 1 valmistetaan vaiheen B2 tapaan syvennyksiä 2 komponentteja varten. Nyt syvennykset 2 valmistetaan ensimmäisen pinnan 1a suunnasta ja ne ulottuvat johdemateriaalikerroksen 9 pintaan saakka.

Vaihe H2 (kuvio 24):

Vaiheessa H2 liitetään ensimmäisen pinnan 1a suunnasta asetettavat komponentit 6 johdekerrokseen 9. Vaihe voidaan suorittaa vaiheen C2 tapaan.

Vaihe I2 (kuvio 20):

- 5 Vaiheessa I2 komponenttien 6 ja asennusalueen väliin jäävä tila täytetään kauttaaltaan täyteaineella 8, joka on esimerkiksi jotakin sopivaa polymeeriä.

Vaihe J2 (kuvio 25):

Vaiheessa J2 johdekerroksesta 9 muodostetaan johdekuvioita 19 jollakin sopivalla menetelmällä.

10 **Vaihe K2 (kuvio 26):**

Vaiheessa K2 valmistetaan reikiä 27 läpivientien muodostamiseksi johdekuviokerrosten 14 ja 19 välille.

Vaihe L2 (kuvio 27):

- 15 Vaiheessa L2 kasvatetaan johdemateriaalia reikiin 27 johdemateriaalia. Vaihe L2 voidaan suorittaa vaihetta N vastaavasti.

- 20 Vaiheen L2 jälkeen elektroniikkamoduuli käsittää kaksi johdekuviokerrosta sekä näihin liittyviä upotettuja komponentteja 6. Mikäli valmistettavassa elektroniikkamoduulissa ei tarvita useampia johdekerroksia, moduuli voidaan vaiheen L2 jälkeen esimerkiksi suojata suoja-aineella. Vaiheen L2 jälkeen moduuliin voidaan haluttaessa valmistaa myös lisää johdekerroksia tai liittää pintaladottavia komponentteja. Moduuleja on myös mahdollista liittää toisiinsa useampikerroksiseksi rakenteeksi.

- 25 Edellä on kuvattu sovellusmuotoja, joissa eristemateriaalikerros 1 on muodostettu yhdestä yhtenäisestä eristemateriaalilevystä, esimerkiksi lasikuituvahvistetusta epoksilevystä tai prepreg-levystä. Eristemateriaalikerros 1 voidaan kuitenkin aivan hyvin valmistaa useammasta kuin yhdestä osasta. Tällöin on mahdollista menetellä myös siten, että eristemateriaalikerros 1 muodostuu useammasta kuin yhdestä eristemateriaalista. Kuvioissa 28-31 on kuvattu kaksi tällaista sovellusmuotoa.

Kuvio 28 esittää elementin, joka käsittää ensimmäisen eristemateriaalikerroksen 1, johon tehtyihin syvennyksiin on asetettu komponentteja 6. Lisäksi elementti käsittää johdekerroksen 4 eristemateriaalikerroksen 1 pinnalla. Ensimmäisen eristemateriaalikerroksen 1 paksuus on edullisesti komponenttien 6 korkeutta pienempi. Kuviossa esitetyn kaltainen elementti voidaan valmistaa esimerkiksi edellisten kuvasarjojen osaprosesseja yhdistelemällä. Elementin lisäksi kuviossa on esitetty toinen eristemateriaalikerros 11, johon on myös valmistettu syvennykset 22 komponentteja 6 varten, sekä toinen johdekerros 9.

Edullisessa sovellusmuodossa toinen eristemateriaalikerros 11 on prepregiä. Ensimmäinen eristemateriaalikerros 1 voi tällöin olla myös jotakin muuta eristemateriaalia, esimerkiksi lasikuituvahvistettua epoksilevyä. Tämän jälkeen kerrokset liitetään yhteen, jolloin päädytään kuvion 29 kuvaamaan elementtiin. Kuten kuvioista 28 käy ilmi, prepregin sisältämä hartsin täyttää komponentin 6 ja ympäristön välisen tilan. Tämän jälkeen elektroniikkamoduulin valmistusta voidaan jatkaa edellä esitettyjen osaprosessien avulla.

Kuvio 30 esittää ensimmäisen ja toisen elementin, jotka molemmat käsittävät ensimmäisen eristemateriaalikerroksen 1 sekä komponentteja 6 eristemateriaalikerrokseen 1 valmistetuissa syvennyksissä. Lisäksi elementit käsittävät johdekerrokset 4 eristemateriaalikerrosten 1 ensimmäisillä pinnoilla sekä johdekuviot 19 eristemateriaalikerrosten 1 toisilla pinnoilla. Molemmissa elementeissä ensimmäisen eristemateriaalikerroksen 1 paksuus on komponenttien 6 korkeutta pienempi. Toinen elementti käännetään ensimmäisen elementin suhteen siten, että johdekuviot 19 suuntautuvat toisiaan kohti ja elementtien väliin sijoitetaan toinen eristemateriaalikerros 11, johon on myös valmistettu syvennykset 22 komponentteja 6 varten. Tämän jälkeen elementit ja toinen eristemateriaalikerros 11 liitetään yhteen, jolloin päästään kuviossa 31 esitettyyn moduulirakenteeseen. Kuvion 31 rakenne on kompakti ja ohut, ja se sisältää jo prosessin tässä vaiheessa neljä johdekerrosta (kerrokset 4, 4, 19 ja 19).

Myös kuvioden 30 ja 31 esittämässä sovellusmuodossa toisena eristemateriaalikerroksena 11 voidaan käyttää prepregiä. Molempien elementtien ensimmäinen eristemateriaalikerros 1 voi tällöin olla myös jotakin muuta eristemateriaalia, esimerkiksi lasikuituvahvistettua epoksilevyä. Prepregin avulla saavutetaan kuvion 29 esimerkin tapaan hyvä täyttyminen elementtien välisessä tilassa. Kuvioden 30 ja 31

esittämät moduulit voidaan valmistaa esimerkiksi edellä esitettyjen osaprosessien avulla. Elektroniikkamoduulin valmistusta voidaan myös jatkaa vastaavalla tavalla kuin esimerkiksi kuvion 10 tai kuvion 24 esittämästä elementistä, ottaen toki huomioon prosessiin valitut liitântätekniikat, johdekerrosten 4 kuviointitarve ja muut vastaavat erityispiirteet.

Edellisten kuvasarjojen esimerkit kuvaavat joitakin mahdollisia prosesseja, joiden avulla keksintöämme voidaan käyttää hyväksi. Keksintömme ei kuitenkaan rajoitu vain edellä esitettyihin prosesseihin, vaan keksintö kattaa muitakin erilaisia prosesseja ja niiden lopputuotteita, patenttivaatimusten täydessä laajuudessa ja ekvivalenssitulkinta huomioon ottaen. Keksintö ei myöskään rajoitu vain esimerkkien kuvaamiin rakenteisiin ja menetelmiin, vaan alan ammattimiehelle on selvää, että keksintömme erilaisilla sovelluksilla voidaan valmistaa hyvin monenlaisia elektroniikkamoduuleja ja piirilevyjä, jotka poikkeavat suurestikin edellä esitetystä esimerkistä. Kuviodien komponentit ja johdotukset on siis esitetty ainoastaan valmistusprosessin havainnollistamistarkoituksessa. Edellä esitettyjen esimerkkien prosesseihin voidaan tehdä siis runsaasti muutoksia, poikkeamatta silti keksinnön mukaisesta perusajatuksesta. Muutokset voivat liittyä esimerkiksi eri vaiheissa kuvattuihin valmistustekniikoihin tai prosessivaiheiden keskinäiseen järjestykseen.

Edellä esitetyissä prosesseissa voidaan esimerkiksi käyttää useampia komponenttien liitämistekniikoita, esimerkiksi siten, että ensimmäisen pinnan suunnasta liitettävät komponentit liitetään jollakin ensimmäisellä tekniikalla ja toisen pinnan suunnasta liitettävät komponentit liitetään jollakin toisella tekniikalla, joka poikkeaa mainitusta ensimmäisestä tekniikasta.

Edellä esitetyissä esimerkeissä on valmistettu elektroniikkamoduuleja, jotka sisältävät ensimmäisestä ja toisesta suunnasta upotettuja komponentteja. Keksinnön puitteissa on toki mahdollista valmistaa myös sellaisia yksinkertaisempia moduuleja, jotka sisältävät ainoastaan yhdestä suunnasta upotettuja komponentteja. Myös tällaisten yksinkertaisempien moduulien avulla voidaan valmistaa kaksisuuntaisesti upotettuja komponentteja sisältävä moduuli. Moduuli voidaan valmistaa esimerkiksi siten, että kaksi moduulia laminoidaan "takapuoleltaan" yhteen, jolloin osamoduulien sisältämien komponenttien aktiivipinnat suuntautuvat yhteen laminoidun moduulin vastakkaisia ulkopintoja kohti.

Patenttivaatimukset:

1. Menetelmä elektroniikkamoduulin valmistamiseksi, tunnettu siitä että:

- 5 – otetaan levy, jolla on ensimmäinen (1a) ja toinen (1b) pinta, ja joka levy käsittää eristemateriaalikerroksen (1) ensimmäisen (1a) ja toisen (1b) pinnan välillä sekä johdekerroksen (4) ainakin ensimmäisellä pinnalla (1a),
- valmistetaan levyyn (1) ainakin yksi syvennys (2), joka ulottuu toisen pinnan (1b) ja eristemateriaalikerroksen (1) läpi ensimmäisellä pinnalla (1a) olevaan johdekerrokseen (4) saakka, joka peittää syvennyksen (2) ensimmäisen pinnan (1a) suunnasta,
- 10 – otetaan komponentti (6), jolla on kontaktointipinta, jolla on kontaktialueita tai kontaktinystyjä,
- asetetaan komponentti (6) syvennykseen (2) kontaktointipinta ensimmäistä pintaa (1a) kohti ja kiinnitetään komponentti (6) johdekerrokseen (4), joka peittää syvennyksen (2) ensimmäisen pinnan (1a) suunnasta, ja
- 15 – muodostetaan syvennyksen (2) peittävästä johdekerroksesta (4) johdekuvio (14), joka liittyy sähköisesti ainakin joihinkin syvennykseen (2) asetetun komponentin (6) kontaktialueista tai kontaktinystyistä.

20 2. Patenttivaatimuksen 1 mukainen menetelmä, jossa eristemateriaalikerrokseen (1) asetetaan komponentteja (6) sekä ensimmäistä (1a) että toista (1b) pintaa kohti ja muodostetaan komponentteihin (6) sähköiset kontaktit siten, että ainakin osa komponenteista yhdistetään ensimmäisellä pinnalla (1a) olevaan johdekerrokseen (4) ja ainakin osa toisella pinnalla (1b) olevaan johdekerrokseen (4).

25 3. Patenttivaatimuksen 1 tai 2 mukainen menetelmä, jossa sen jälkeen kun komponentti (6) tai useampia komponentteja (6) on kiinnitetty johdekerrokseen (4), joka sulkee syvennyksen (2) tai syvennykset (2) ensimmäisen pinnan (1a) suunnasta, suoritetaan seuraavat vaiheet:

- valmistetaan johdekerros (9) levyn toiselle (1b) pinnalle,
 - valmistetaan levyyn (1) ainakin yksi syvennys (2), joka ulottuu ensimmäisen pinnan (1a) ja eristemateriaalikerroksen (1) läpi toisella pinnalla (1b) olevaan johdekerrokseen (9) saakka, joka peittää syvennyksen (2) toisen pinnan (1b) suunnasta,
 - otetaan komponentti (6), jolla on kontaktointipinta, jolla on kontaktialueita tai kontaktinystyjä,
 - asetetaan komponentti (6) syvennykseen (2) kontaktointipinta toista pintaa (1b) kohti ja kiinnitetään komponentti (6) johdekerrokseen (4), joka peittää syvennyksen (2) toisen pinnan (1b) suunnasta, ja
 - muodostetaan syvennyksen (2) peittävästä johdekerroksesta (9) johdekuvio (19), joka liittyy sähköisesti ainakin joihinkin syvennykseen (2) asetetun komponentin (6) kontaktialueista tai kontaktinystyistä.
4. Patenttivaatimuksen 1 tai 2 mukainen menetelmä, jossa käytetään molemmilta pinnoiltaan johdekerroksella (4) päällystettyä levyä ja jossa:
- valmistetaan levyyn (1) ainakin yksi toinen syvennys (2), joka ulottuu ensimmäisen pinnan (1a) ja eristemateriaalikerroksen (1) läpi toisella pinnalla (1b) olevaan johdekerrokseen (4) saakka, joka peittää valmistetun syvennyksen (2) toisen pinnan (1b) suunnasta,
 - otetaan komponentti (6), jolla on kontaktointipinta, jolla on kontaktialueita tai kontaktinystyjä,
 - asetetaan komponentti (6) syvennykseen (2) kontaktointipinta toista pintaa (1b) kohti ja kiinnitetään komponentti (6) johdekerrokseen (4), joka peittää syvennyksen (2) toisen pinnan (1b) suunnasta, ja
 - muodostetaan syvennyksen (2) peittävästä johdekerroksesta (4) johdekuvio (14), joka liittyy sähköisesti ainakin joihinkin syvennykseen (2) asetetun komponentin (6) kontaktialueista tai kontaktinystyistä.

5. Patenttivaatimuksen 1 tai 2 mukainen menetelmä, jossa eristemateriaalikerroksen (1) paksuus on pienempi kuin ainakin yhden johdekerrokseen (4) kiinnitetyn komponentin (6) paksuus ja jossa:

- otetaan ainakin yksi toinen eristemateriaalilevy (11),
- valmistetaan toiseen eristemateriaalilevyyn (11) ainakin yksi syvennys (2) mainittua ainakin yhtä johdekerrokseen (4) kiinnitettyä komponenttia (6) varten, ja
- kiinnitetään toinen eristemateriaalilevy (11) toisen pinnan (1b) suunnasta ensimmäiseen eristemateriaalikerrokseen (1).

10

6. Patenttivaatimuksen 1, 2 tai 5 mukainen menetelmä, jossa valmistetaan ensimmäinen ja toinen elementti, jotka molemmat käsittävät eristemateriaalikerroksen (1), johdekerroksen (4) ainakin eristemateriaalikerroksen (1) ensimmäisellä pinnalla (1a) sekä ainakin yhden komponentin (6) ainakin yhdessä syvennyksessä (2), ja jossa

15

menetelmässä:

- otetaan ainakin yksi toinen eristemateriaalilevy (11), ja
- kiinnitetään ensimmäinen ja toinen elementti toisiinsa mainitun toisen eristemateriaalilevyn (11) avulla siten, että elementtien sisältämien eristemateriaalikerrosten (1) toiset pinnat (1b) suuntautuvat toisiaan kohti.

20

7. Patenttivaatimuksen 5 tai 6 mukainen menetelmä, jossa ensimmäinen eristemateriaalikerros (1) on ensimmäistä eristemateriaalia ja toinen eristemateriaalilevy (11) on toista eristemateriaalia, joka poikkeaa ensimmäisestä eristemateriaalista.

25

8. Jonkin patenttivaatimuksen 1 - 7 mukainen menetelmä, jossa ainakin yksi komponentti (6) kiinnitetään johdekerrokseen (4; 9) liimaamalla sähköäjohtavan liiman avulla, jolloin muodostuu sähköinen kontakti johdekerroksen (4; 9) ja komponentin (6) kontaktialueiden tai kontaktinystyjen välille.

- 5 9. Jonkin patenttivaatimuksen 1 - 7 mukainen menetelmä, jossa ainakin yksi komponentti (6) kiinnitetään johdekerrokseen (4; 9) liimaamalla eristävän liiman avulla ja sähköinen kontakti komponentin (6) kontaktialueiden ja johdekerroksen (4; 9) välillä muodostetaan valmistamalla läpivientejä, jotka yhdistävät halutut kontaktialueet johdekerrokseen (4; 9).
- 10 10. Jonkin patenttivaatimuksen 1 - 7 mukainen menetelmä, jossa ainakin yksi komponentti (6) kiinnitetään ja sähköinen kontakti johdekerrokseen (4; 9) muodostetaan liittämällä kontaktialueet metallurgisesti johdekerrokseen (4; 9), joko suoraan tai kontaktinystyjen välityksellä.
- 15 11. Jonkin patenttivaatimuksen 1 - 10 mukainen menetelmä, jossa ainakin yksi johdekerrokseen (4; 9) kiinnitettävä komponentti (6) on pakkaamaton mikropiirisiru.
12. Jonkin patenttivaatimuksen 1 - 11 mukainen menetelmä, jossa monikerrospiiri-levyrakenteen muodostamiseksi valmistetaan ensimmäiselle (1a) ja/tai toiselle (1b) pinnalle lisää eristekerroksia ja johdekerroksia.
- 20 13. Jonkin patenttivaatimuksen 1 - 12 mukainen menetelmä, jossa komponentteja (6) upotetaan ainakin kahden levyn (1) sisälle, jotka liitetään tämän jälkeen päällekkäisesti toisiinsa.
- 25 14. Jonkin patenttivaatimuksen 1 - 13 mukainen menetelmä, jossa valmistetaan johdekuviokerros (14; 19) sekä eristemateriaalikerroksen (1) ensimmäiselle pinnalle (1a) että toiselle pinnalle (1b).

(57) Tiivistelmä:

Menetelmä elektroniikkamoduulin valmistamiseksi, jossa valmistus aloitetaan eristemateriaalilevystä (1), joka käsittää johdekerroksen. Levyyn (1) valmistetaan ainakin yksi syvennys, joka ulottuu eristemateriaalikerroksen (1) läpi vastakkaisella pinnalla olevaan johdekerrokseen saakka. Syvennykseen asetetaan komponentti (6) kontaktointipinta johdekerrosta kohti ja kiinnitetään komponentti (6) johdekerrokseen. Tämän jälkeen syvennyksen sulkevasta johdekerroksesta muodostetaan johdekuvio (14), joka liittyy sähköisesti ainakin joihinkin syvennykseen asetetun komponentin (6) kontaktialueista tai kontaktinystyistä.

(Kuvio 14)

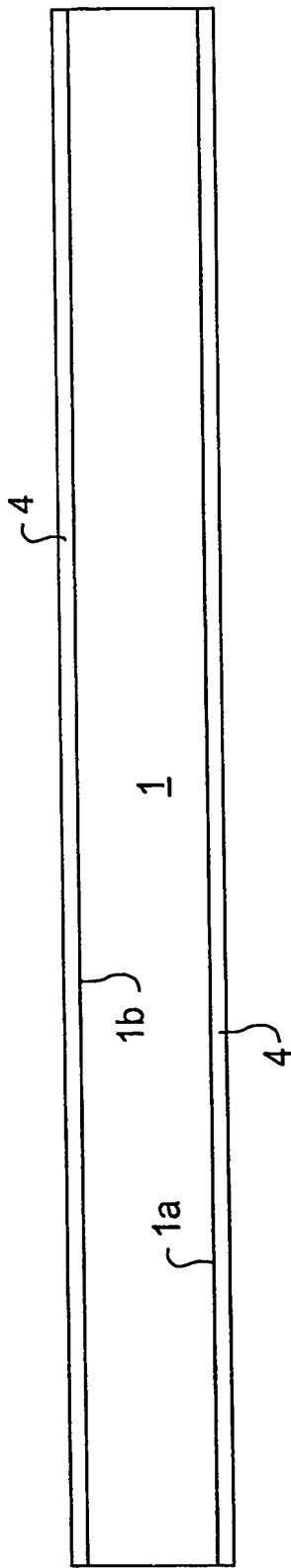


Fig. 1

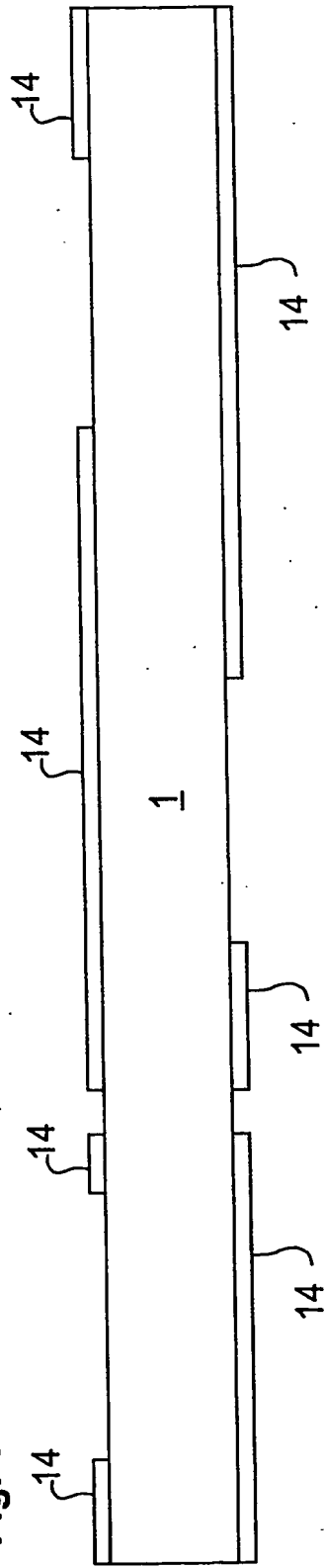


Fig. 2

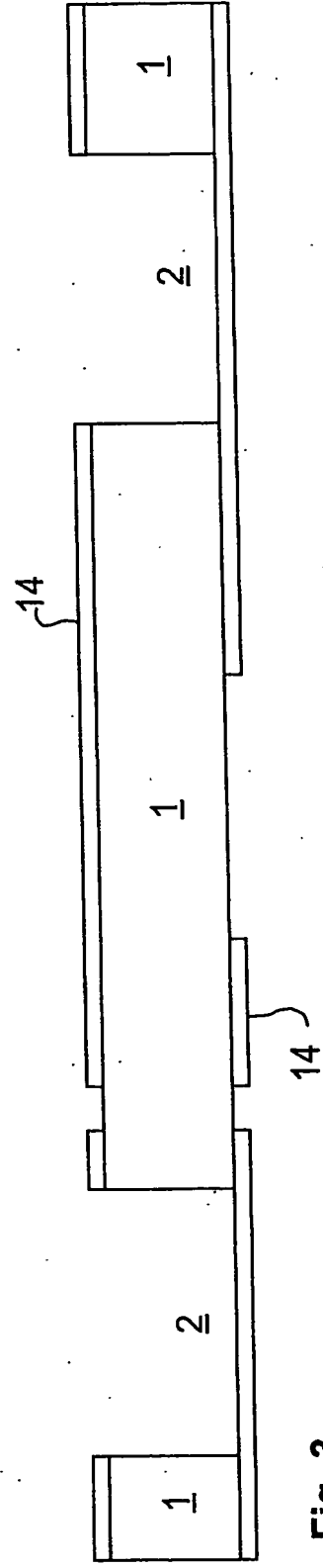


Fig. 3

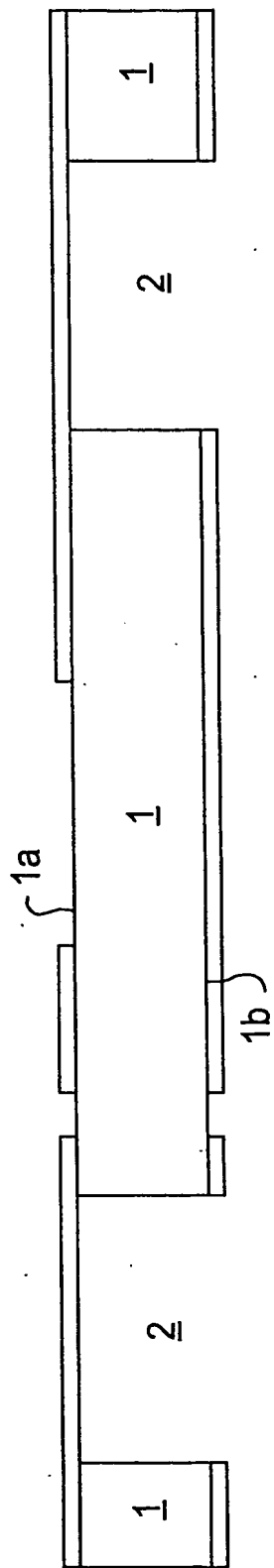


Fig. 4

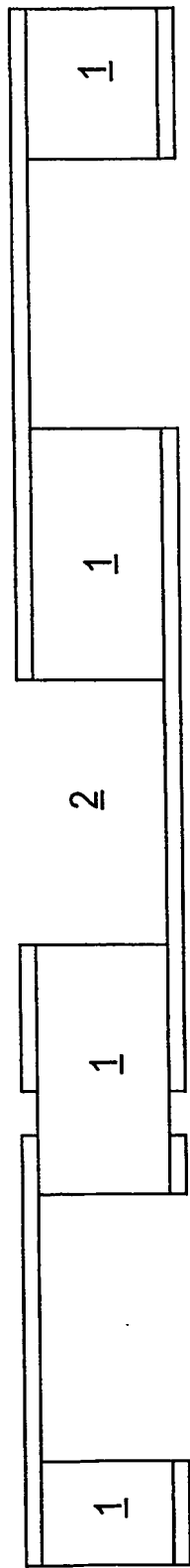


Fig. 5

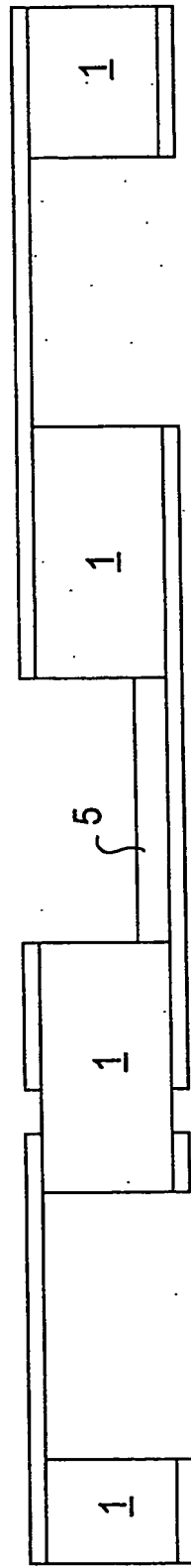


Fig 6

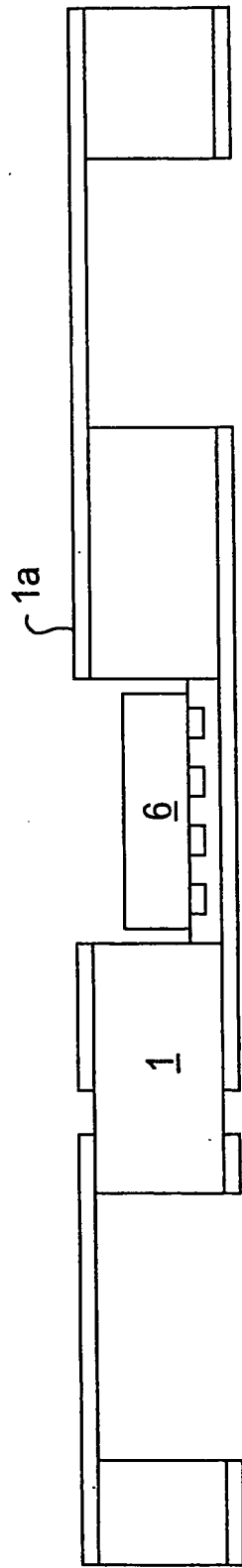


Fig. 7

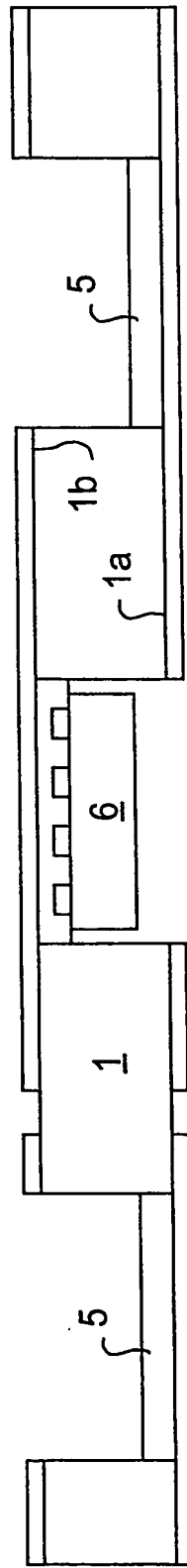


Fig. 8

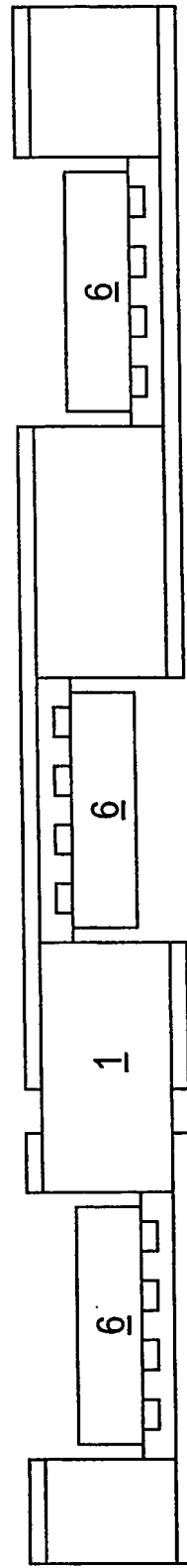


Fig. 9

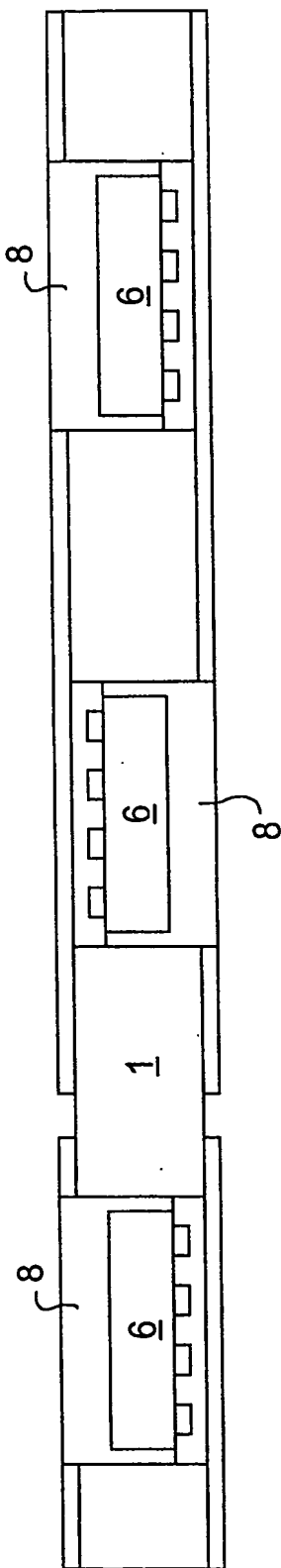


Fig. 10

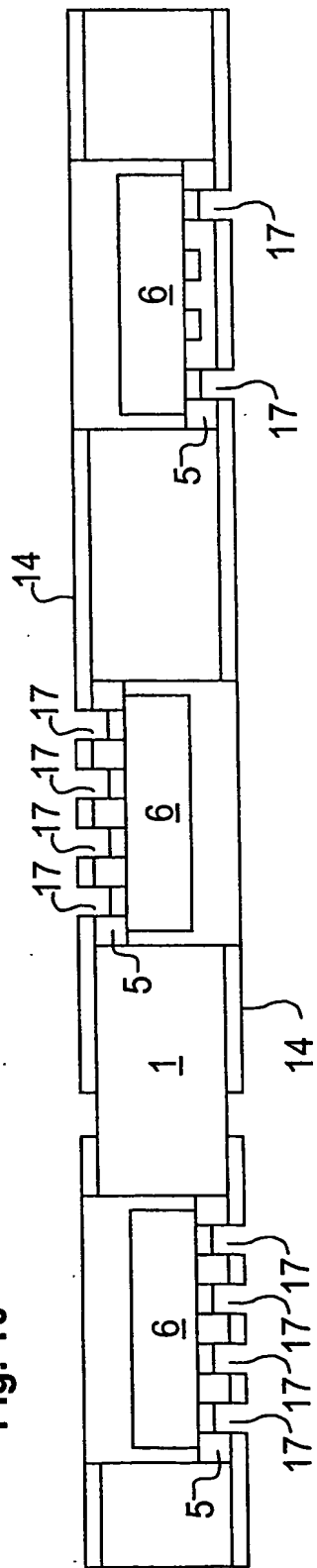


Fig. 11

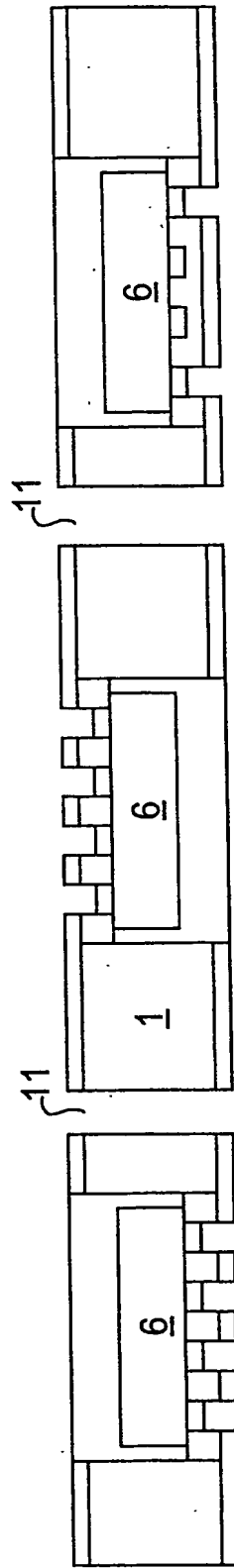


Fig. 12

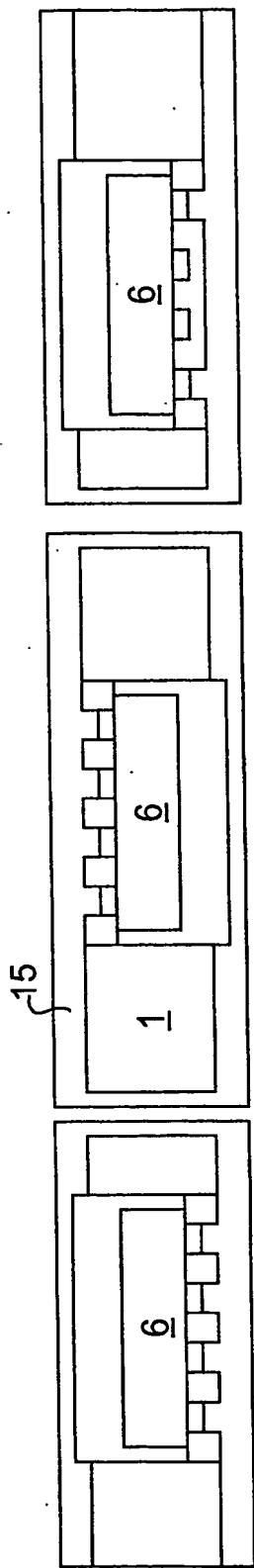


Fig. 13

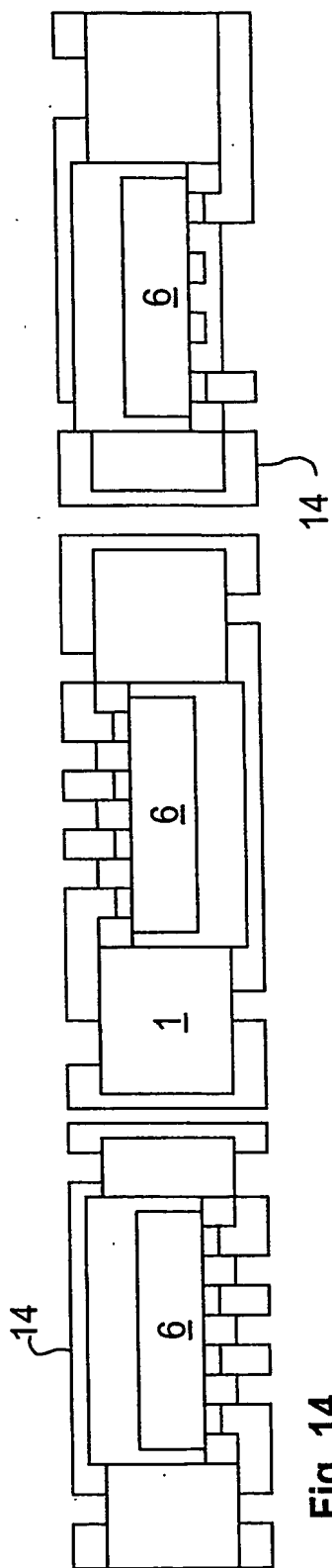


Fig. 14

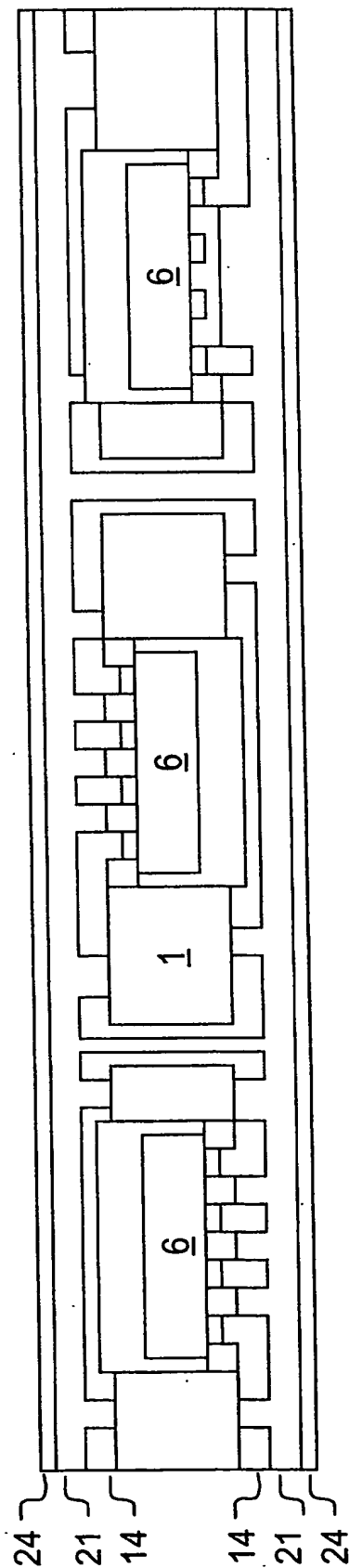


Fig. 15

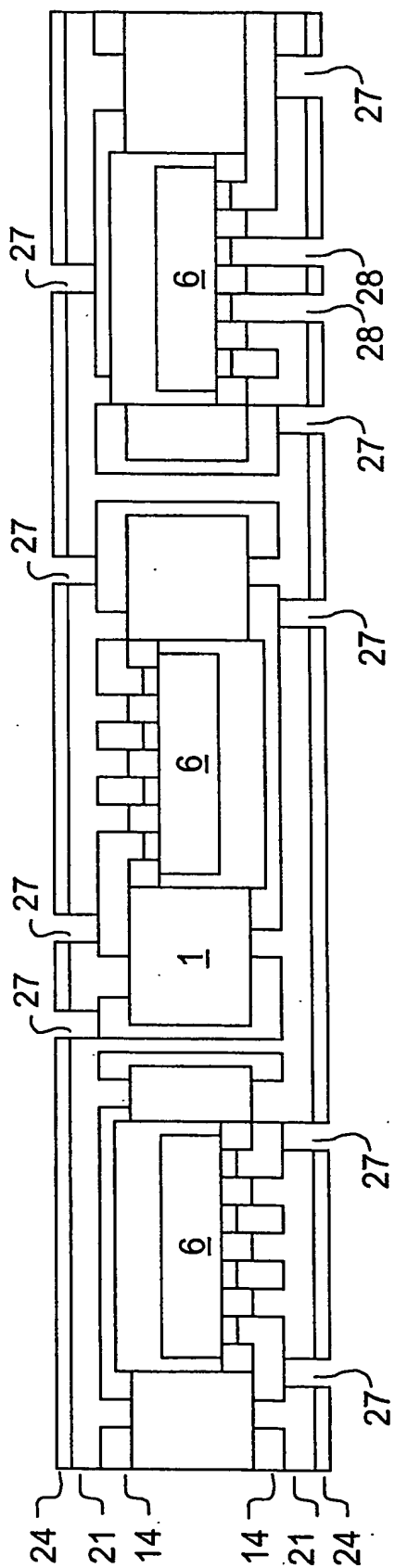


Fig. 16

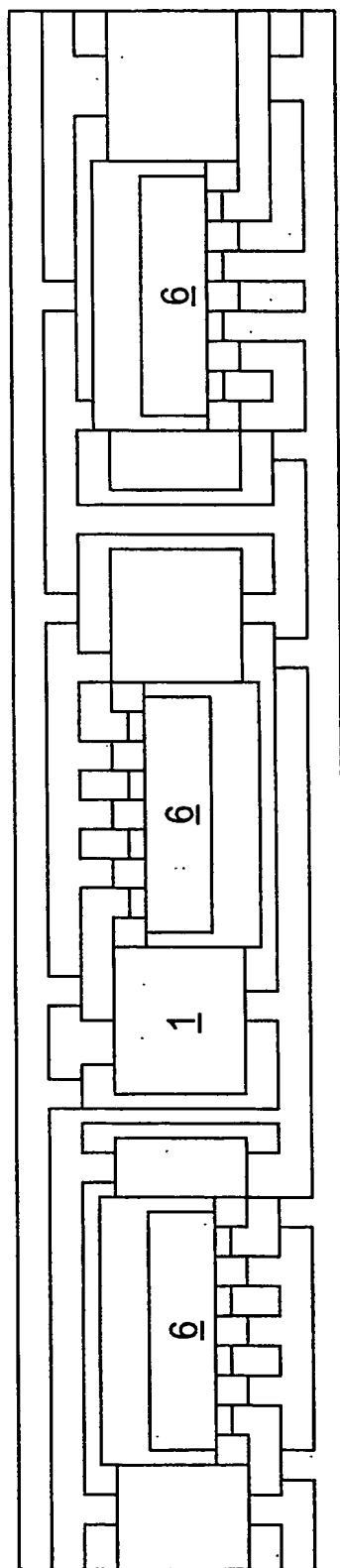


Fig. 17

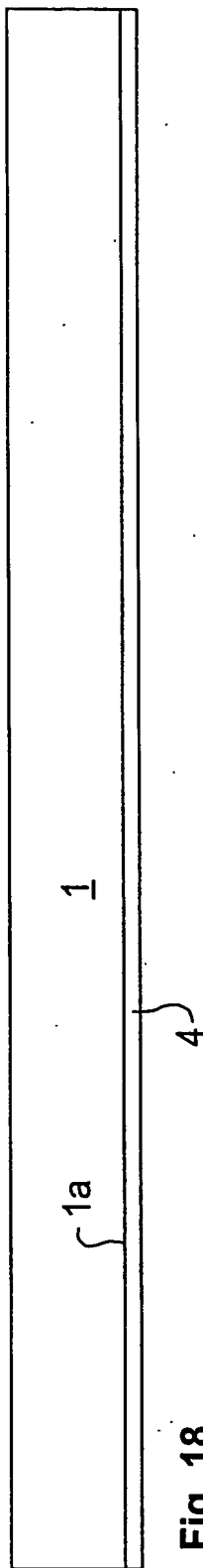


Fig. 18

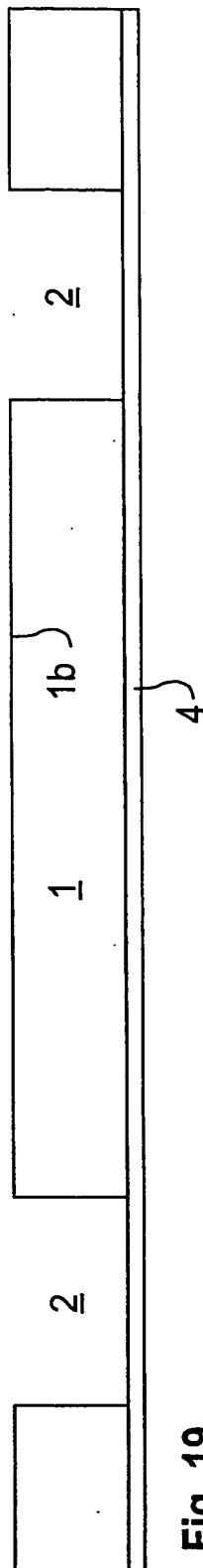


Fig. 19

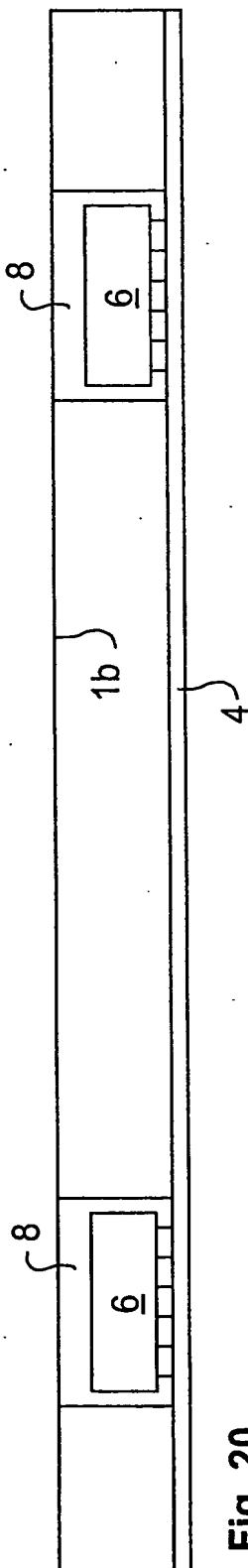


Fig. 20

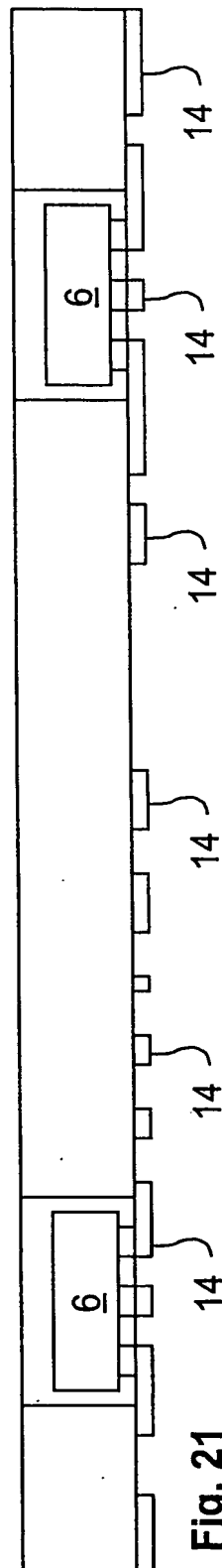


Fig. 21

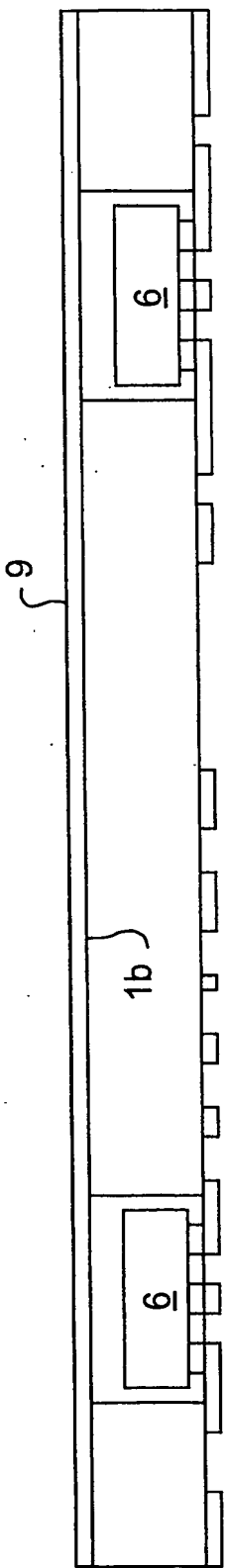


Fig. 22

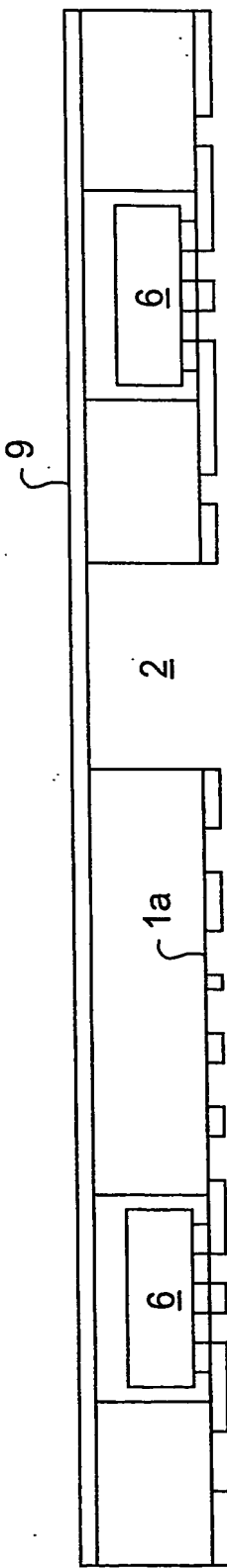


Fig. 23

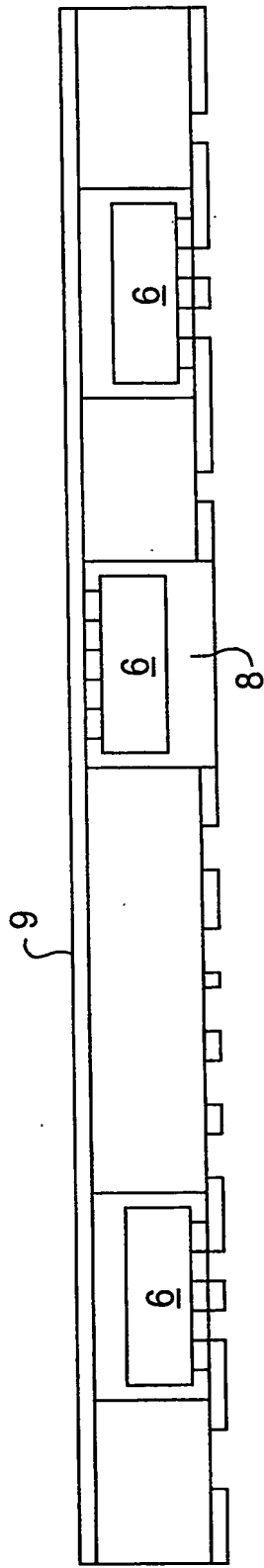


Fig. 24

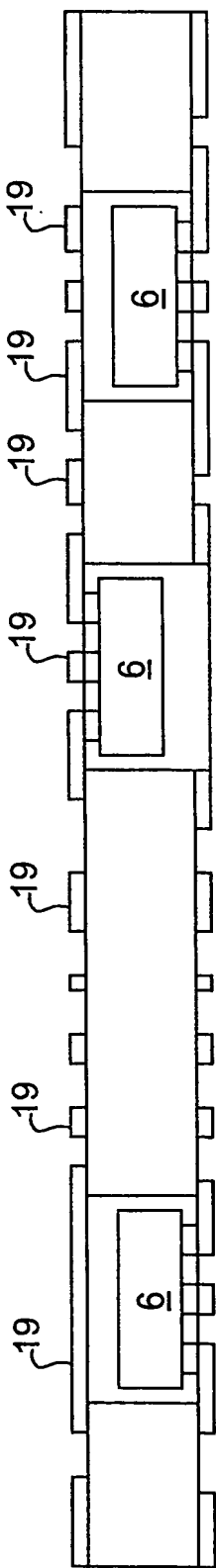


Fig. 25

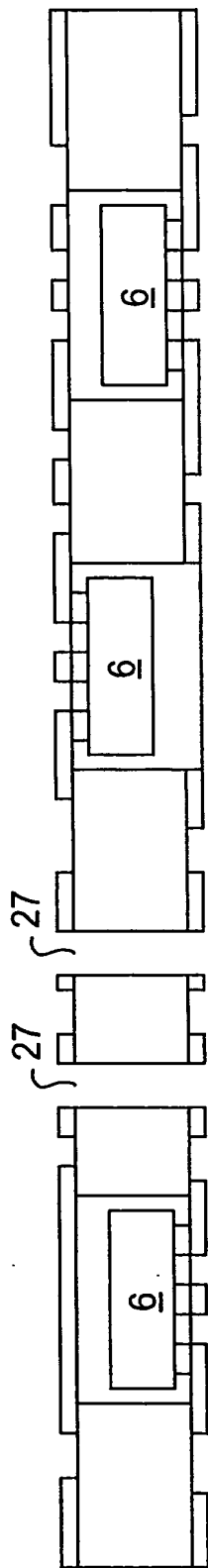


Fig. 26

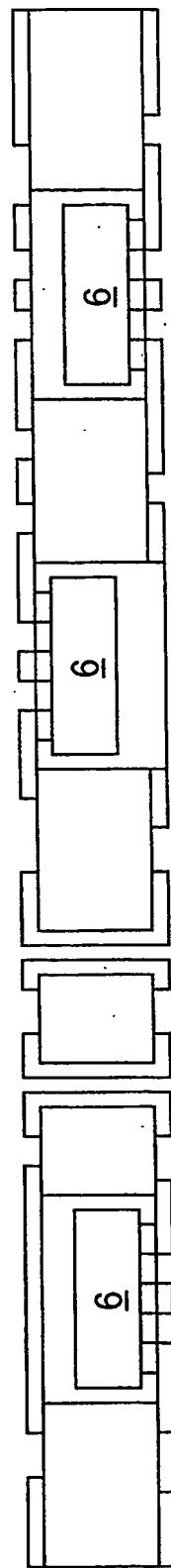
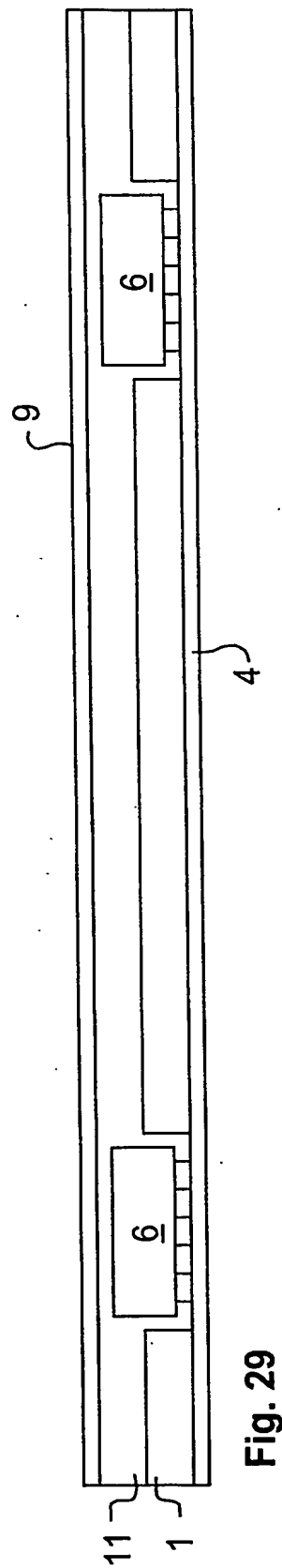
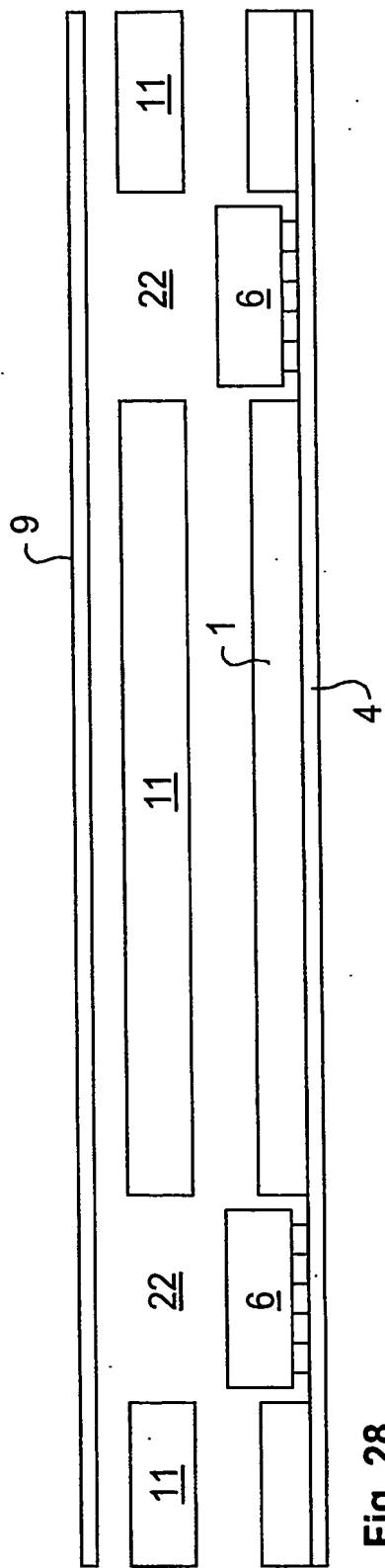


Fig. 27



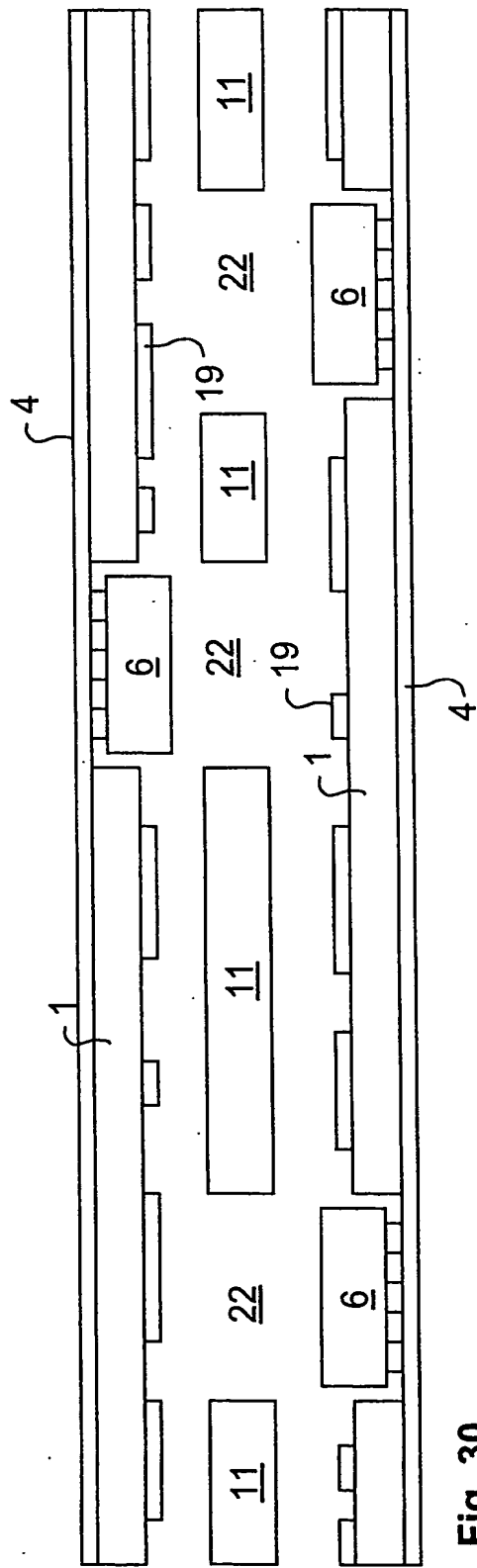


Fig. 30

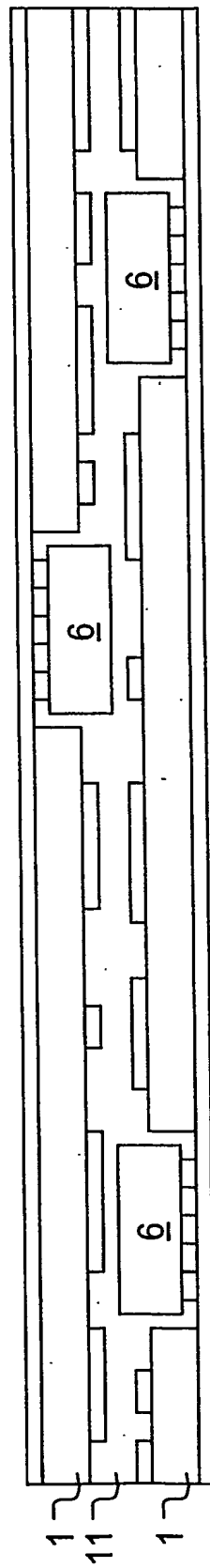


Fig. 31

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.